

סוג הבחינה: בגרות לבתי-ספר על-יסודיים
מועד הבחינה: קיץ תשס"ד, 2004
סמל השאלון: 815201
נספחים: א. נספח לשאלה 7
ב. נספח לשאלה 14
ג. נוסחאון באלקטרוניקה
ומחשבים

אלקטרוניקה ומחשבים ג'

שתי יחידות לימוד (השלמה לחמש יחידות לימוד)
(כיתה י"ב – נבחנים על-פי תכנית הלימודים של טרום הרפורמה)
(כיתה י"א – נבחנים על-פי תכנית הלימודים של הרפורמה)

הוראות לנבחן

- א. משך הבחינה: שלוש שעות.
- ב. מבנה השאלון ומפתח ההערכה:
בשאלון שני חלקים:
חלק א' – לנבחנים על-פי תכנית הלימודים של טרום הרפורמה בלבד.
חלק ב' – לנבחנים על-פי תכנית הלימודים של הרפורמה בלבד.
בכל חלק שני פרקים, ובהם תשע שאלות. יש לענות על חמש שאלות בלבד מאחד החלקים, שאלה אחת לפחות מכל פרק בחלק זה. לכל שאלה – 20 נקודות. סך הכול – 100 נקודות.
- ג. חומר עזר מותר לשימוש: מחשבון.
- ד. הוראות מיוחדות:
 1. בחר את חלק הבחינה המתאים לתכנית הלימודים אותה למדת, וענה על חמש שאלות בו. המעריך יקרא ויעריך את מספר השאלות הנדרש בלבד, לפי סדר כתיבתן במחברתך, ולא יתייחס לתשובות נוספות.
 - ניתן לצבור נקודות בגין תשובות על שאלות מחלק אחד בלבד של הבחינה.
 2. התחל כל תשובה לשאלה חדשה בעמוד חדש.
 3. רשום את כל תשובותיך אך ורק בעט.
 4. הקפד לנסח את תשובותיך כהלכה ולסרטט את תרשימיך בהירות.
 5. כתוב את תשובותיך בכתב-יד ברור, כדי לאפשר הערכה נאותה שלהן.
 6. אם לדעתך חסרים נתונים הדרושים לפתרון שאלה, אתה רשאי להוסיף אותם, בתנאי שתנמק מדוע הוספת אותם.
 7. בכתיבת פתרונות חישוביים, קבלת מִרְב הנקודות מותנית בהשלמת כל המהלכים הבאים, בסדר שבו הם רשומים:
 - * רישום הנוסחה המתאימה.
 - * הצבה של כל הערכים ביחידות המתאימות.
 - * חישוב (אפשר באמצעות מחשבון).
 - * רישום התוצאה המתקבלת, ביחד עם יחידות המידה המתאימות.
 - * ליווי הפתרון החישובי בהסבר קצר.

בשאלון זה 16 עמודים, 6 עמודי נספחים ונוסחאון.

ההנחיות בשאלון זה מנוסחות בלשון זכר,
אך מכוונות לנבחנות ולנבחנים כאחד.

בהצלחה!

השאלות

חלק א' (לנבחנים על-פי תכנית הלימודים של טרום הרפורמה בלבד)

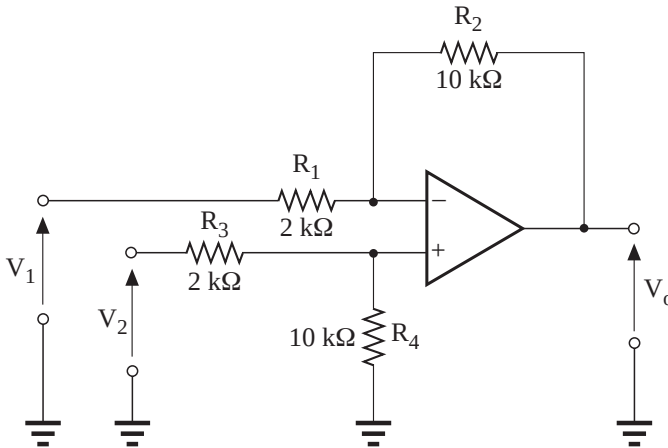
בחלק זה שני פרקים ובהם תשע שאלות. יש לענות על חמש שאלות בלבד, שאלה אחת לפחות מכל פרק. נבחן העונה על חלק זה של הבחינה, לא יוכל לצבור נקודות בגין תשובות על שאלות מחלק ב' של הבחינה.

פרק ראשון: אלקטרוניקה תקבילית

ענה על שאלה אחת לפחות מבין השאלות 1-5 (לכל שאלה – 20 נקודות).

שאלה 1

המעגל שבאיור לשאלה 1 משמש כמגבר הפרש, וכולל מגבר שרת אידיאלי.



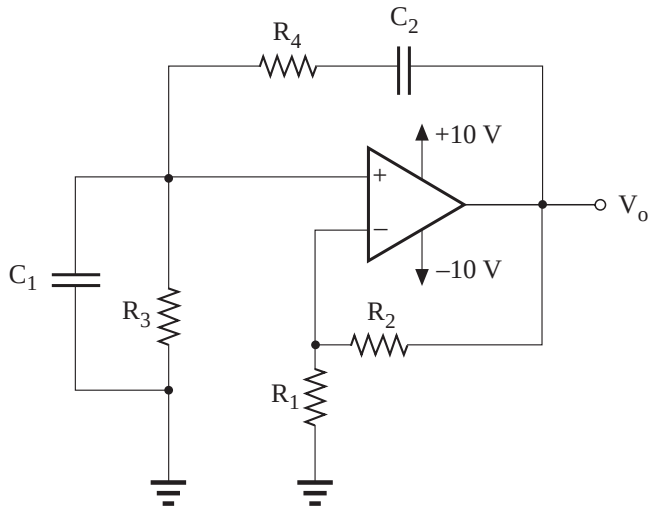
איור לשאלה 1

- א. בטא את מתח המוצא V_0 כתלות במתחי המבוא V_1 ו- V_2 .
- ב. מחליפים את הנגד R_4 בנגד שערכו $9 \text{ k}\Omega$. בטא את מתח המוצא V_0 כתלות במתחי המבוא V_1 ו- V_2 .
- ג. חשב את יחס דחיית האות המשותף (CMRR) של המעגל כאשר $R_4 = 9 \text{ k}\Omega$.

שאלה 2

המעגל המתואר באיור לשאלה 2 משמש כמתנד גשר ויין.

נתוני המעגל: $C_1 = C_2 = 2 \mu\text{F}$; $R_3 = R_4 = 5 \text{ k}\Omega$; $R_2 = 4 \text{ k}\Omega$; $R_1 = 1 \text{ k}\Omega$

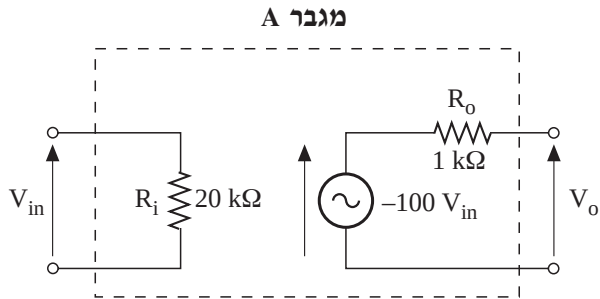


איור לשאלה 2

- א. הסבר את התנאים הדרושים לקיום תנודות במעגל זה.
- ב. חשב את תדר התנודות f_0 של המעגל.
- ג. מחליפים את הנגד R_2 בנגד שערכו $1 \text{ k}\Omega$. מה תהיה השפעת ההחלפה על פעולת המעגל הזה? נמק את תשובתך.

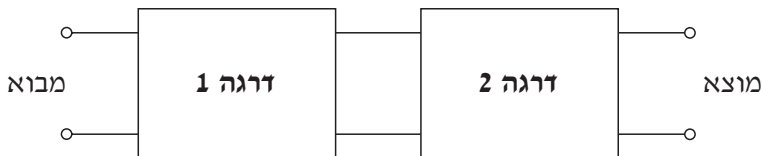
שאלה 3

באיור א' לשאלה 3 מתואר מעגל התמורה של מגבר A.



איור א' לשאלה 3

מחברים בקסקדה (בשרשרת) שני מגברים כדוגמת המגבר A ומקבלים מגבר דו-דרגתי, כמתואר באיור ב' לשאלה.



איור ב' לשאלה 3

למבוא המגבר הדו-דרגתי מחברים מקור מתח חילופין V_s בעל התנגדות פנימית R_s , של $4\text{ k}\Omega$. למוצא המגבר מחברים עומס R_L שהתנגדותו $10\text{ k}\Omega$.

א. סרטט את מעגל התמורה של המגבר הדו-דרגתי.

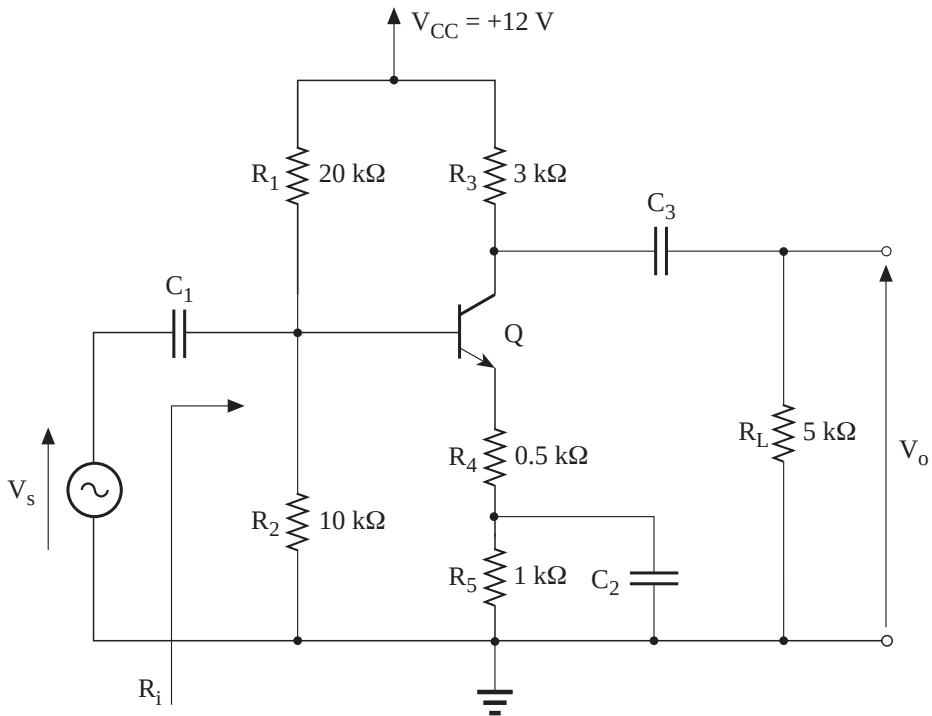
ב. חשב את הגבר המתח של המגבר הדו-דרגתי.

ג. מחברים בקסקדה **חמישה** מגברים כדוגמת המגבר A. מה יהיה הפרש המופע בין מתח המבוא של המגבר הזה לבין מתח המוצא שלו? נמק את תשובתך.

שאלה 4

באיור לשאלה 4 מתואר המעגל החשמלי של מגבר טרנזיסטורי. היגבי הקבלים זניחים.

נתוני הטרנזיסטור Q : $h_{ie} = 1 \text{ k}\Omega$; $h_{fe} = 50$; $\beta = 50$; $V_{BE} = 0.7 \text{ V}$

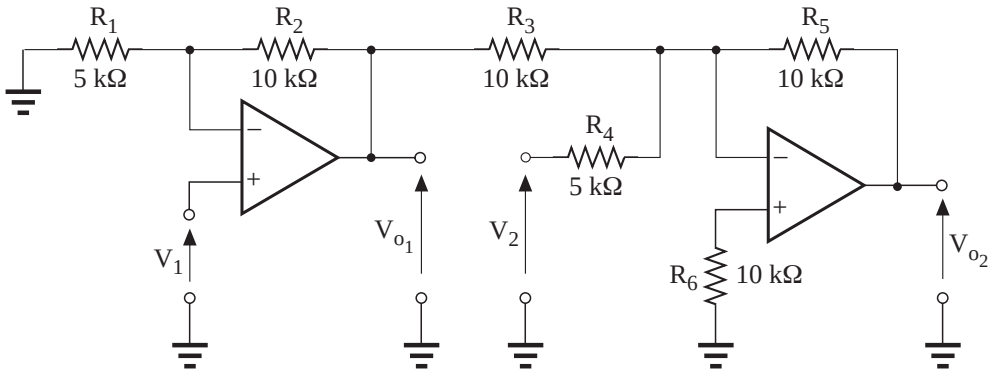


איור לשאלה 4

- א. חשב את נקודת העבודה של הטרנזיסטור Q (I_C, V_{CE}).
- ב. 1. סרטט את מעגל התמורה של המגבר הטרנזיסטורי עבור אות חילופין.
2. חשב את הגבר המתח $A_{V_s} = \frac{V_o}{V_s}$.
- ג. חשב את התנגדות המבוא R_i של המגבר.

שאלה 5

המעגל שבאיור לשאלה 5 כולל מגברי שרת אידיאליים.



איור לשאלה 5

- א. רשום ביטוי למתח V_{o1} כתלות במתח V_1 .
- ב. רשום ביטוי למתח המוצא V_{o2} כתלות במתחים V_1 ו- V_2 .
- ג. נתון: $V_2 = 2 \cdot \sin(\omega t)$; $V_1 = -1 \text{ V}$.
חשב את הערך המרבי ואת הערך המזערי של מתח המוצא V_{o2} .

פרק שני: מחשבים ומיקרו-מעבדים

ענה על שאלה אחת לפחות מבין השאלות 6-9 (לכל שאלה – 20 נקודות).

שאלה 6

לפניך תת-שגרה הכתובה בשפת הסף של המיקרו-מעבד 8086/88 :

```
1.      HSU:      MOV  BX, 30H
2.              MOV  CX, 5
3.              MOV  AL, 0
4.      HS:       ADD  AL, [BX]
5.              INC  BX
6.              DEC  CX
7.              JNZ  HS
8.              MOV  [BX], AL
9.              RET
```

א. הסבר את ההוראות שמספריהן 4, 7, 9.

ב. הסבר מה מבצעת תת-השגרה.

ג. בטבלה שלהלן נתונים תוכני התאים בכתובות $30\text{ H} \div 35\text{ H}$ בסגמנט הנתונים שבזיכרון, לפני ביצוע תת-השגרה.

תוכן התא	כתובת התא
05 H	35 H
02 H	34 H
00 H	33 H
02 H	32 H
09 H	31 H
01 H	30 H

רשום את תוכני התאים שכתובותיהם 34 H ו- 35 H לאחר ביצוע תת-השגרה.

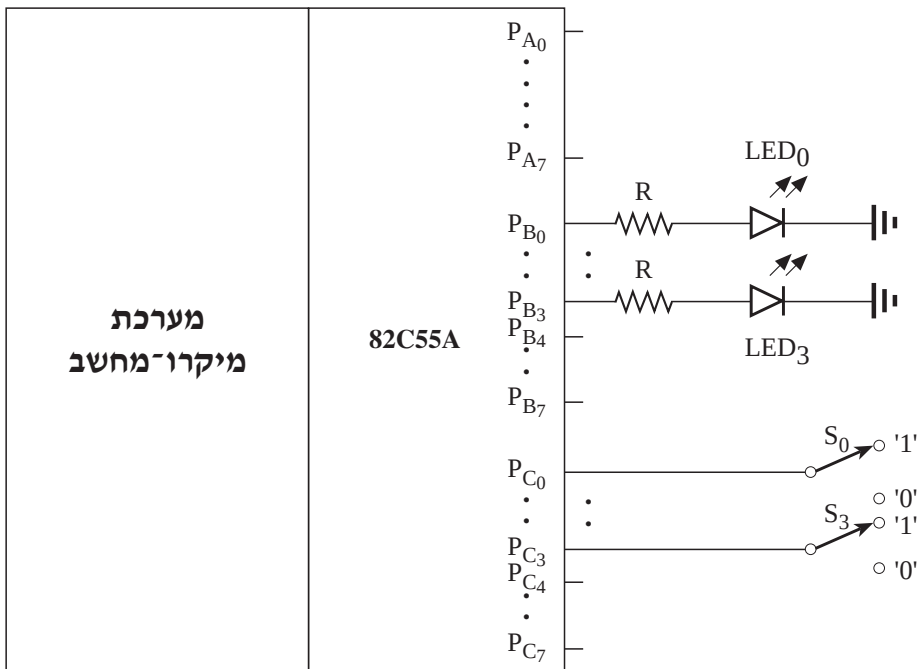
שאלה 7

רכיב קלט/פלט בר־תכנות מסוג 82C55A מחובר למערכת מיקרו־מחשב, כמתואר באיור לשאלה 7. ל-PORT B של הרכיב 82C55A חוברו ארבע נוריות LED, ול-PORT C שלו חוברו ארבעה מתגים. הרכיב ממופה בכתובות $300\text{H} \div 303\text{H}$, ונתוני מפורטים בנספח לשאלה 7.

א. רשום בקוד בינארי את מילת הבקרה שיש לכתוב לאוגר הבקרה של הרכיב 82C55A על־מנת לאתחל אותו (קבע את כל הדקי המפתחים שאינם בשימוש כקווי פלט). הסבר את המשמעות של כל אחד ממרכיבי מילת הבקרה.

ב. כתוב תת־שגרה בשפת הסף של המיקרו־מעבד 8086/88, שתכתוב את מילת הבקרה לאוגר הבקרה של הרכיב 82C55A.

ג. כתוב תת־שגרה שתקלוט את מצב ארבעת המתגים שב-PORT C. אם מתג נמצא במצב לוגי '1' – תגרום תת־השגרה להדלקת ה-LED המתאימה לו ב-PORT B. אם מתג נמצא במצב לוגי '0' – ה-LED המתאימה תהיה כבויה. (למתג S_0 מתאימה הנורית LED_0 , למתג S_1 מתאימה הנורית LED_1 , וכך הלאה).



איור לשאלה 7

שאלה 8

בלוק נתונים, שכתובת ההתחלה שלו היא H 30 וכתובת הסיום שלו היא H 40, מכיל נתונים מספריים. גודלו של כל נתון בבלוק הוא בית אחד (1 Byte). כתוב תת-שגרה בשפת הסף של המיקרו-מעבד 8086/88, שתעתיק את נתוני הבלוק הזה **בסדר הפוך** לבלוק שכתובת ההתחלה שלו היא H 50 וכתובת הסיום שלו היא H 60.

שאלה 9

א. הסבר את תפקידו של כל אחד מן ההדקים האלה במיקרו-מעבד 8086:

$DT/\bar{R}$; ALE ; $M/\bar{IO}$

ב. הסבר את תפקידו של כל אחד מן ההדקים האלה ברכיב הזיכרון RAM:

$\bar{CS}$ ($\bar{CE}$) ; $\bar{OE}$; $\bar{WR}$

ג. מה ההבדל בין זיכרון מסוג PROM לבין זיכרון מסוג EPROM מבחינת היכולת לשנות את תוכן הזיכרון?

ד. להלן קטע של תכנית בשפת הסף של המעבד 8086/88:

1. MOV AX, 24C9H
2. SUB AH, AL
3. ADD AL, 95H

ציין את הערך של כל אחד מן האוגרים AL ו-AH, את ערך דגל הנשא ואת ערך דגל האפס לאחר ביצוע:

1. הוראה 2

2. הוראה 3

חלק ב' (לנבחנים על-פי תכנית הלימודים של הרפורמה בלבד)

בחלק זה שני פרקים ובהם תשע שאלות. יש לענות על חמש שאלות בלבד, שאלה אחת לפחות מכל פרק. נבחן העונה על חלק זה של הבחינה, לא יוכל לצבור נקודות בגין תשובות על שאלות מחלק א' של הבחינה.

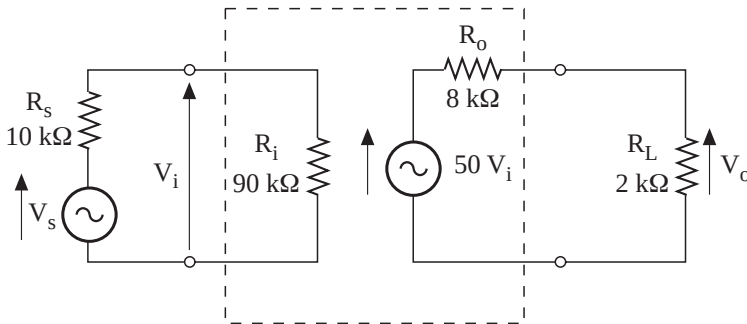
פרק שלישי: מבוא להנדסת אלקטרוניקה

ענה על שאלה אחת לפחות מבין השאלות 10–14 (לכל שאלה – 20 נקודות).

שאלה 10

א. ציין את תכונותיו של מגבר מתח אידיאלי.

ב. באיור לשאלה 10 מתואר מגבר מתח.



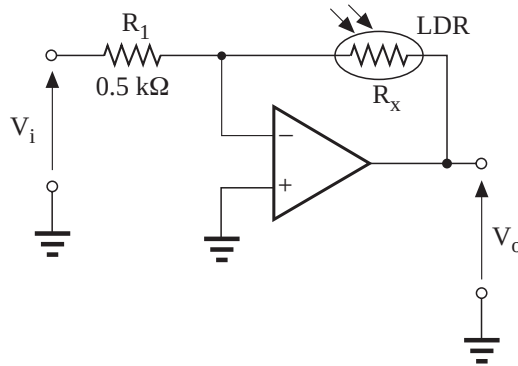
איור לשאלה 10

1. חשב את הגבר המתח הכולל $A_V = \frac{V_o}{V_s}$ של המגבר הזה.

2. בטא את הגבר המתח הכולל ביחידות dB.

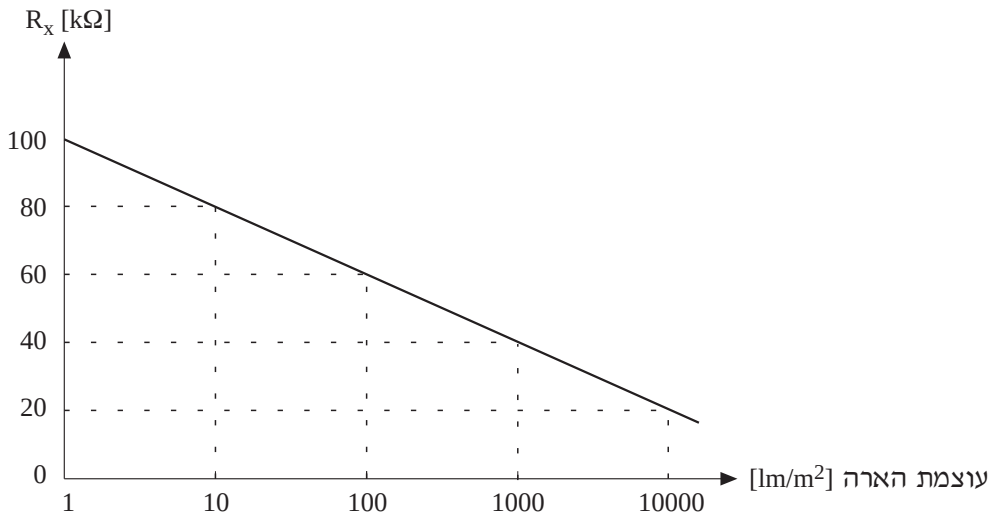
שאלה 11

באיור א' לשאלה 11 נתון מעגל הכולל מגבר שרת אידיאלי וחיישן אור (LDR), שהתנגדותו R_x .



איור א' לשאלה 11

באיור ב' לשאלה נתון האופייין של חיישן האור (תלות התנגדות שלו בעוצמת ההארה עליו).

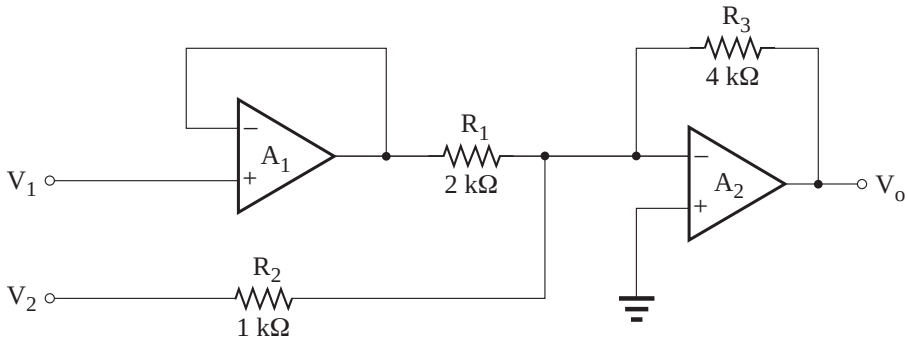


איור ב' לשאלה 11

- א. 1. מה תהיה התנגדות החיישן (R_x), כאשר עוצמת ההארה עליו היא 1000 lm/m^2 ?
2. חשב את הגבר המתח של המעגל $\left(\frac{V_o}{V_i}\right)$ עבור ערך התנגדות החיישן R_x שמצאת בסעיף א'.
- ב. מצא את עוצמת ההארה הנדרשת כדי שהגבר המתח של המעגל יהיה -160 .
- ג. הסבר את תפקידו של המעגל המתואר באיור א' לשאלה.

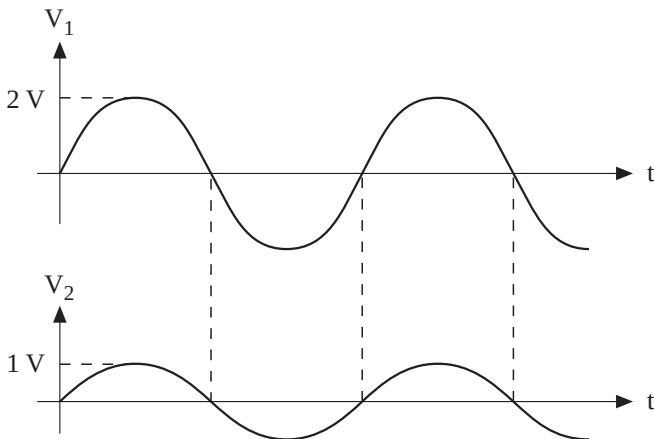
שאלה 12

באיור א' לשאלה 12 נתון מעגל הכולל שני מגברי שרת אידיאליים.



איור א' לשאלה 12

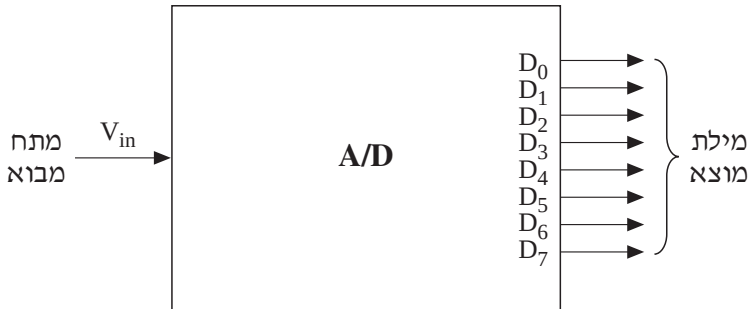
- א. מה תפקידו של המגבר A_1 ומה תפקידו של המגבר A_2 במעגל הזה?
- ב. רשום ביטוי למתח V_0 כתלות במתחים V_1 ו- V_2 .
- ג. באיור ב' לשאלה 12 מוצגות צורות האותות V_1 ו- V_2 בתלות בזמן t . העתק למחברתך את האותות וסרטט מתחתיהם, בהתאמה, את צורת האות V_0 בתלות בזמן t .



איור ב' לשאלה 12

שאלה 13

באיור לשאלה 13 נתון ממיר מאות אנלוגי לאות ספרתי (A/D). האות הספרתי הוא בעל שמונה סיביות $D_0 \div D_7$. עבור מתח מבוא של 5 V מתקבלת מילת המוצא $(FF)_{16} = (11111111)_2$.

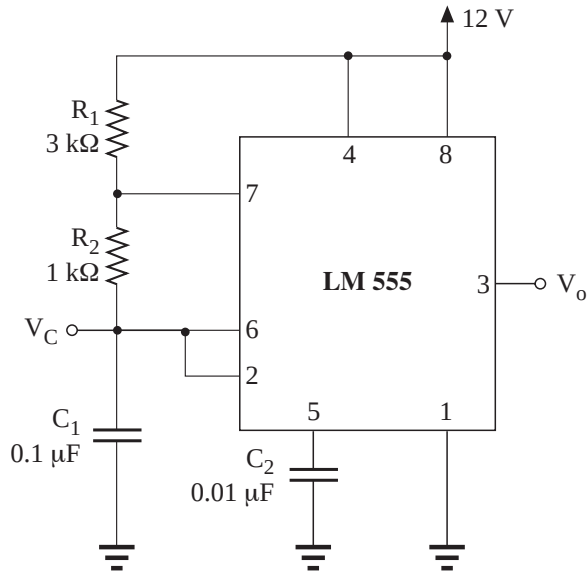


איור לשאלה 13

- א. הסבר את המושג כושר ההבחנה (RESOLUTION) של ממיר A/D.
- ב. חשב את כושר ההבחנה של הממיר הזה.
- ג. חשב את מתח המבוא V_{in} , אם במוצא הממיר התקבלה המילה $(3C)_{16} = (00111100)_2$.

שאלה 14

באיור לשאלה 14 נתון מעגל חשמלי של רב־רטט חופשי, הממומש באמצעות הרכיב LM 555. נתוני הרכיב מפורטים בנספח לשאלה 14.



איור לשאלה 14

- א. סרטט את צורות המתחים V_O ו- V_C בתלות בזמן, זה מתחת לזה בהתאמה. בסרטוטך, ציין את ערכי המתח המרבי והמתח המזערי של כל אחד מהם.
- ב. חשב את תדר התנודות של המעגל הזה.
- ג. חשב את מחזור הפעולה (Duty Cycle) של המעגל.

פרק רביעי: מבוא להנדסת מחשבים

ענה על שאלה אחת לפחות מבין השאלות 15–18 (לכל שאלה – 20 נקודות).

שאלה 15

לפניך תת-שגרה הכתובה בשפת הסף של המיקרו-מעבד 8086/88 :

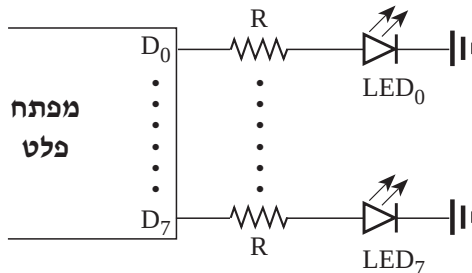
```
1.  START:  MOV  SI, 10H
2.          MOV  CX, 8H
3.          MOV  AL, 0H
4.  FB:     MOV  [SI], AL
5.          INC  AL
6.          INC  SI
7.          DEC  CX
8.          JNZ  FB
9.          RET
```

א. הסבר את ההוראות שמספריהן 4, 7, 8, 9.

ב. הסבר מה מבצעת תת-השגרה.

שאלה 16

באיור לשאלה 16 מתואר מפתח פלט של מחשב אישי, המחובר לשמונה נוריות LED. כתובת מפתח הפלט – 378 H.



איור לשאלה 16

כתוב תכנית (בשפת C או בשפת VB) שתגרום להבהוב ארבע הנוריות $LED_0 \div LED_3$ עשר פעמים, ותשאיר את ארבע הנוריות $LED_4 \div LED_7$ כבויות. זמן ההדלקה בכל הבהוב יהיה 2 שניות, וזמן הכיבוי – 1 שנייה.

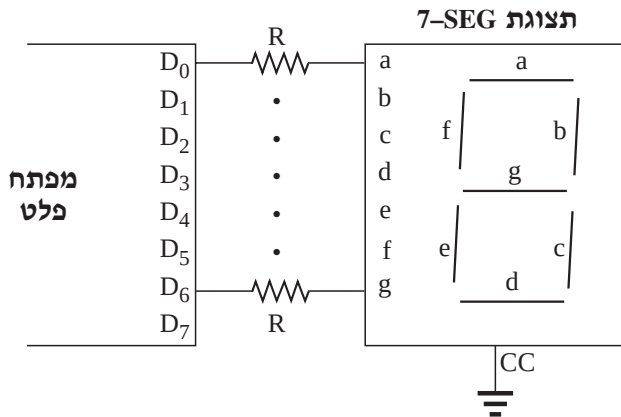
שאלה 17

מערך שגודלו 10 תאים, מכיל את המספרים הטבעיים מ-1 עד 10 בסדר עולה. כתוב תכנית (בשפת C או בשפת VB), שתבצע את הפעולות האלה:

1. יצירת המערך והצבת הנתונים לתוכו.
2. סיכום התכנים של תאי המערך.
3. חישוב הממוצע של תוכני התאים.
4. הדפסת סכום התכנים והממוצע שלהם.

שאלה 18

באיור לשאלה 18 נתון רכיב תצוגת שבעה מקטעים (7-SEG) מסוג קתודה משותפת (CC). רכיב התצוגה מחובר למפתח פלט שכתובתו 30 H.



איור לשאלה 18

כתוב תת-שגרה בשפת הסף של המיקרו-מעבד 8086/88, שתבדוק את תוכנו של תא הזיכרון שכתובתו 10H בסגמנט הנתונים.

אם תוכנו 0H – היא תציג את הספרה 0 בתצוגת שבעת המקטעים (7-SEG).
אם תוכנו שונה מ-0H – היא תציג את הספרה 1 בתצוגת שבעת המקטעים.

בהצלחה!

82C55A CHMOS PROGRAMMABLE PERIPHERAL INTERFACE

- High Speed, "Zero Wait State"
Operation with 8 MHz 8086/88 and 80186/188
- 24 Programmable I/O Pins
- Low Power CHMOS
- Completely TTL Compatible

- Direct Bit Set/Reset Capability
- 2.5 mA DC Drive Capability on all I/O Port Outputs
- Control Word Read-Back Capability
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

In MODE 0, each group of 12 I/O pins may be programmed in sets of 4 and 8 to be inputs or outputs. In MODE 1, each group may be programmed to have 8 lines of input or output. 3 of the remaining 4 pins are used for handshaking and interrupt control signals. MODE 2 is a strobed bi-directional bus configuration.

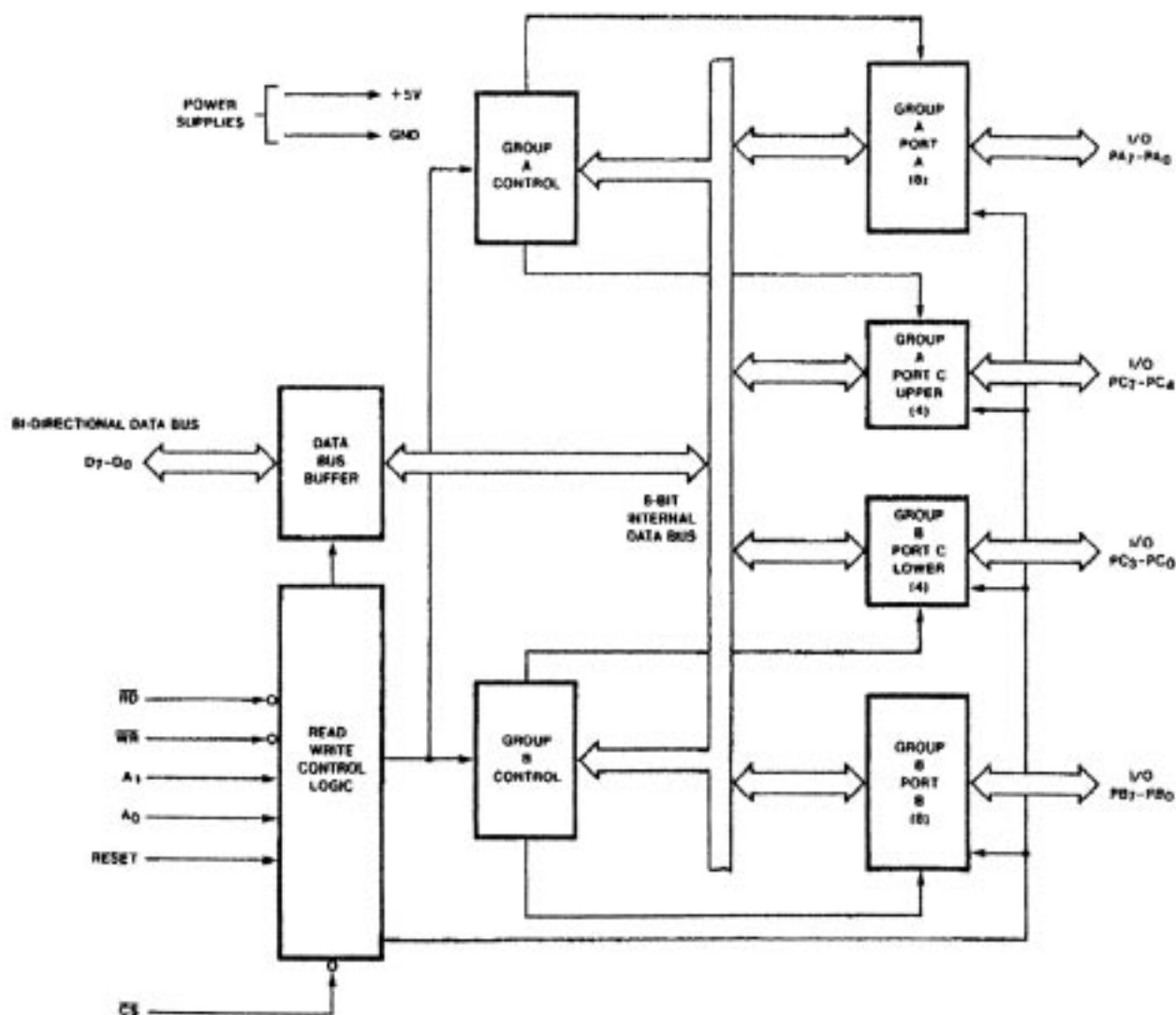


Figure 1. 82C55A Block Diagram

Table 1. Pin Description

Symbol	Pin Number Dip PLCC		Type	Name and Function																														
PA ₃₋₀	1-4	2-5	I/O	PORT A, PINS 0-3: Lower nibble of an 8-bit data output latch/buffer and an 8-bit data input latch.																														
$\overline{RD}$	5	6	I	READ CONTROL: This input is low during CPU read operations.																														
$\overline{CS}$	6	7	I	CHIP SELECT: A low on this input enables the 82C55A to respond to $\overline{RD}$ and $\overline{WR}$ signals. $\overline{RD}$ and $\overline{WR}$ are ignored otherwise.																														
GND	7	8		System Ground																														
A ₁₋₀	8-9	9-10	I	ADDRESS: These input signals, in conjunction $\overline{RD}$ and $\overline{WR}$, control the selection of one of the three ports or the control word registers.																														
				<table><tr><th>A₁</th><th>A₀</th><th>$\overline{RD}$</th><th>$\overline{WR}$</th><th>$\overline{CS}$</th><th>Input Operation (Read)</th></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>Port A - Data Bus</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>Port B - Data Bus</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>Port C - Data Bus</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>Control Word - Data Bus</td></tr></table>	A ₁	A ₀	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	Input Operation (Read)	0	0	0	1	0	Port A - Data Bus	0	1	0	1	0	Port B - Data Bus	1	0	0	1	0	Port C - Data Bus	1	1	0	1	0	Control Word - Data Bus
				A ₁	A ₀	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	Input Operation (Read)																									
				0	0	0	1	0	Port A - Data Bus																									
				0	1	0	1	0	Port B - Data Bus																									
				1	0	0	1	0	Port C - Data Bus																									
				1	1	0	1	0	Control Word - Data Bus																									
				Output Operation (Write)																														
				0	0	1	0	0	Data Bus - Port A																									
				0	1	1	0	0	Data Bus - Port B																									
				1	0	1	0	0	Data Bus - Port C																									
				1	1	1	0	0	Data Bus - Control																									
				Disable Function																														
X	X	X	X	1	Data Bus - 3 - State																													
X	X	1	1	0	Data Bus - 3 - State																													
PC ₇₋₄	10-13	11,13-15	I/O	PORT C, PINS 4-7: Upper nibble of an 8-bit data output latch/buffer and an 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.																														
PC ₀₋₃	14-17	16-19	I/O	PORT C, PINS 0-3: Lower nibble of Port C.																														
PB ₀₋₇	18-25	20-22, 24-28	I/O	PORT B, PINS 0-7: An 8-bit data output latch/buffer and an 8-bit data input buffer.																														
V _{CC}	26	29		SYSTEM POWER: + 5V Power Supply.																														
D ₇₋₀	27-34	30-33, 35-38	I/O	DATA BUS: Bi-directional, tri-state data bus lines, connected to system data bus.																														
RESET	35	39	I	RESET: A high on this input clears the control register and all ports are set to the input mode.																														
$\overline{WR}$	36	40	I	WRITE CONTROL: This input is low during CPU write operations.																														
PA ₇₋₄	37-40	41-44	I/O	PORT A, PINS 4-7: Upper nibble of an 8-bit data output latch/buffer and an 8-bit data input latch.																														
NC		1, 12, 23, 34		No Connect																														

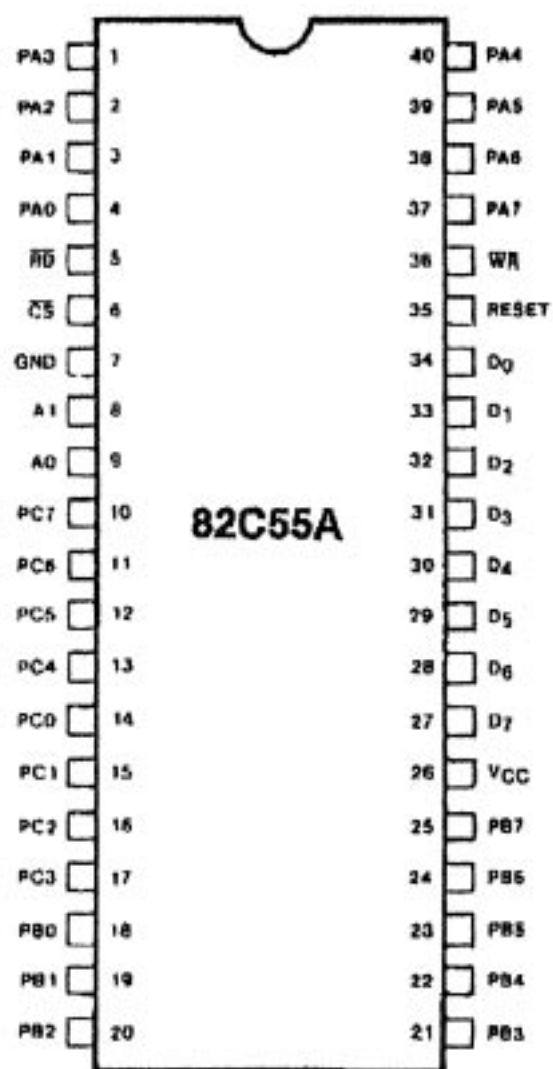
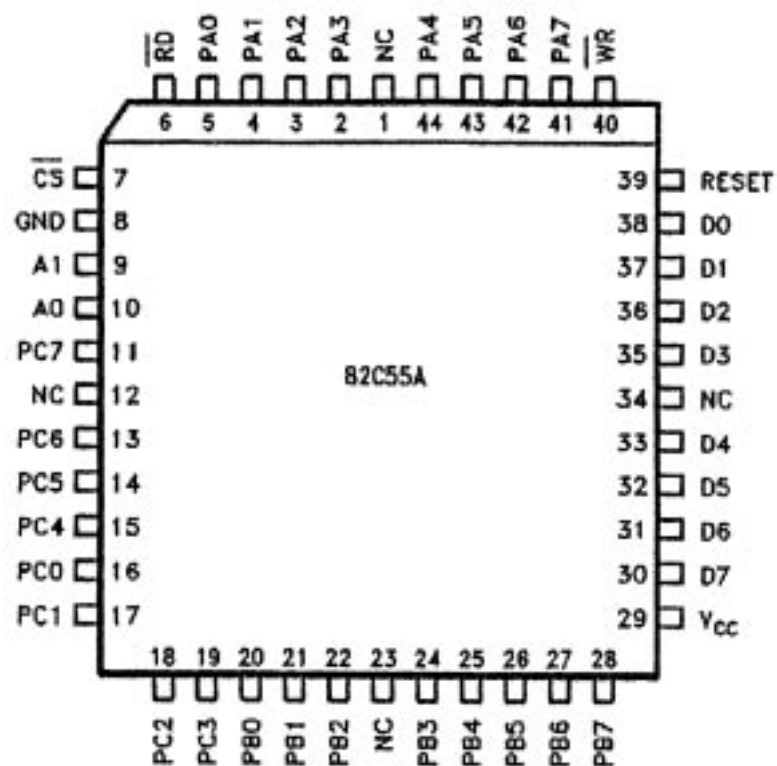


Figure 2. 82C55A Pinout

82C55A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 — Basic input/output
- Mode 1 — Strobed input/output
- Mode 2 — Bi-directional Bus

When the reset input goes "high" all ports will be set to the input mode with all 24 port lines held at a logic "one" level by the internal bus hold devices.

After the reset is removed the 82C55A can remain in the input mode with no additional initialization required. This eliminates the need for pullup or pulldown devices in "all CMOS" designs. During the execution of the system program, any of the other modes may be selected by using a single output instruction. This allows a single 82C55A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

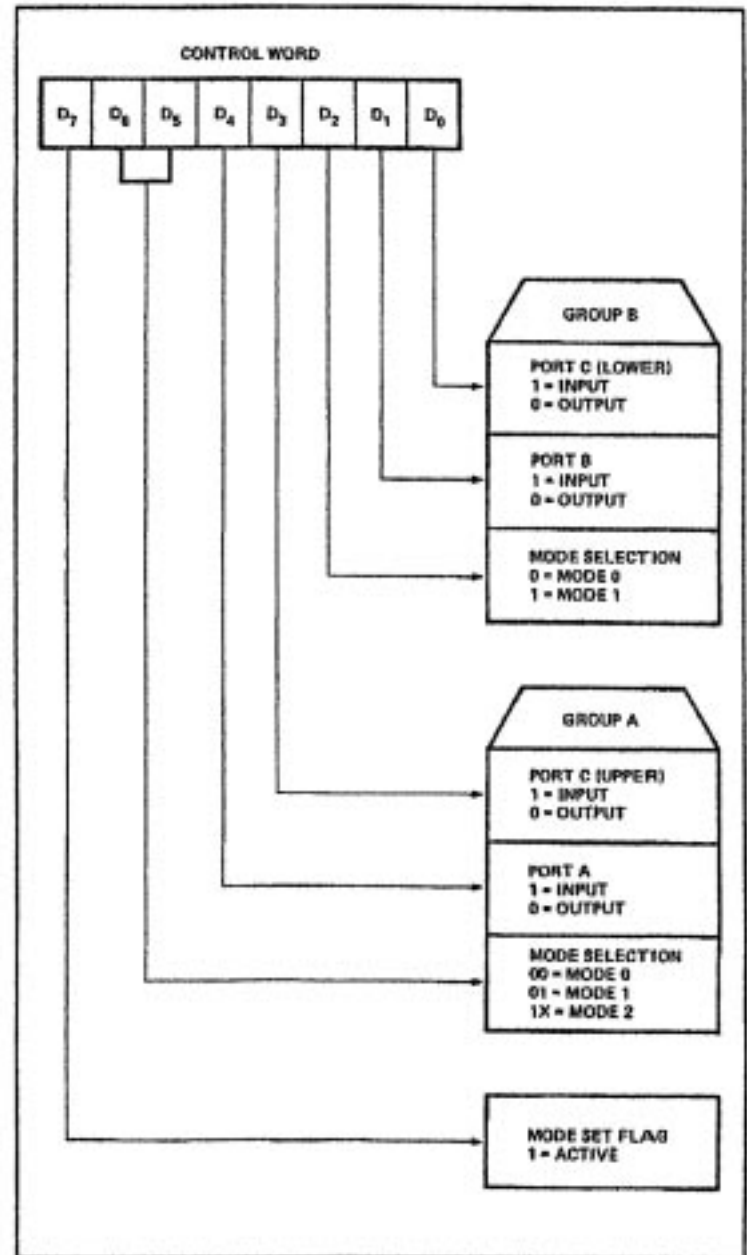


Figure 4. Mode Definition Format

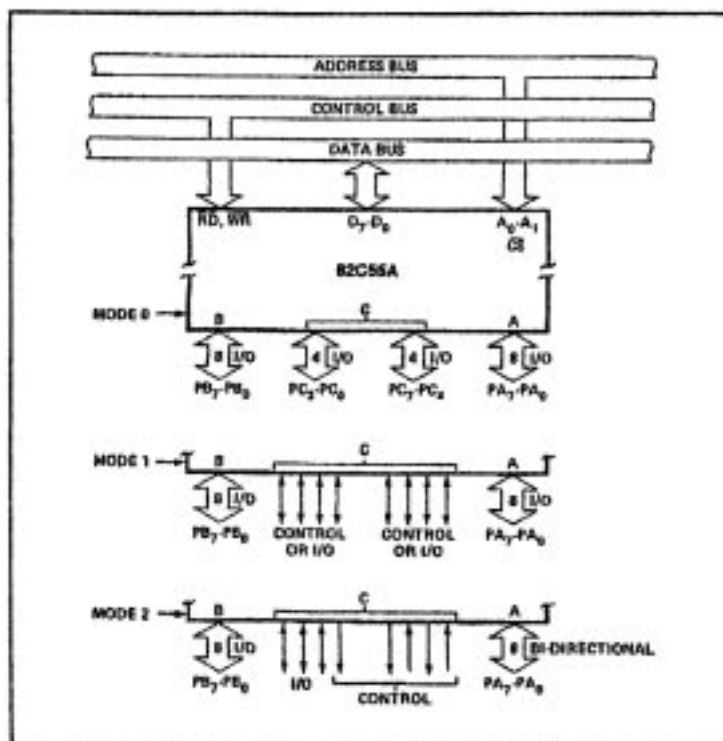


Figure 3. Basic Mode Definitions and Bus Interface

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 82C55A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

LM555/LM555C

Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

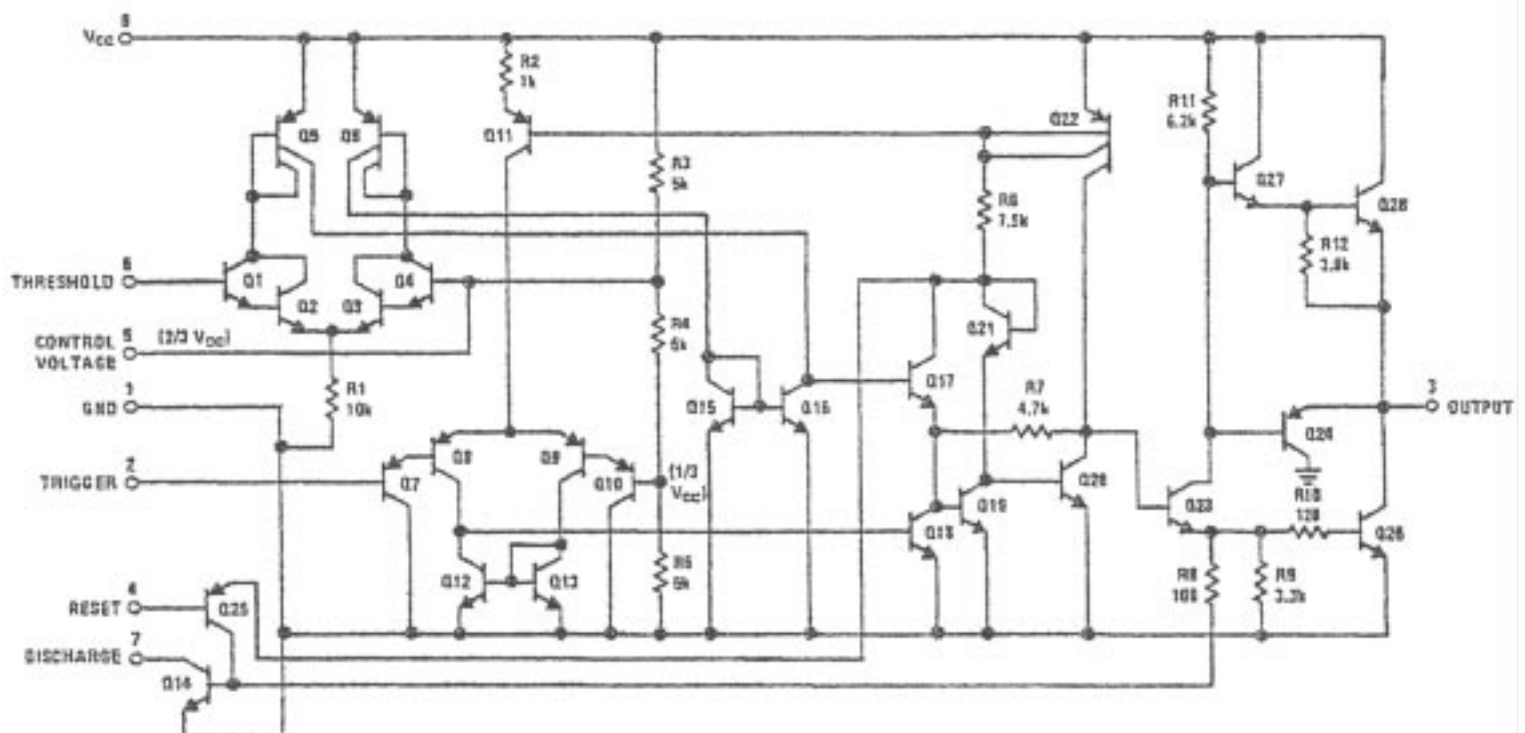
Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output
- Available in 8 pin MSOP package

Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

Schematic Diagram



Applications Information

ASTABLE OPERATION

If the circuit is connected as shown in Figure 4 (pins 2 and 6 connected) it will trigger itself and free run as a multivibrator. The external capacitor charges through $R_A + R_B$ and discharges through R_B . Thus the duty cycle may be precisely set by the ratio of these two resistors.

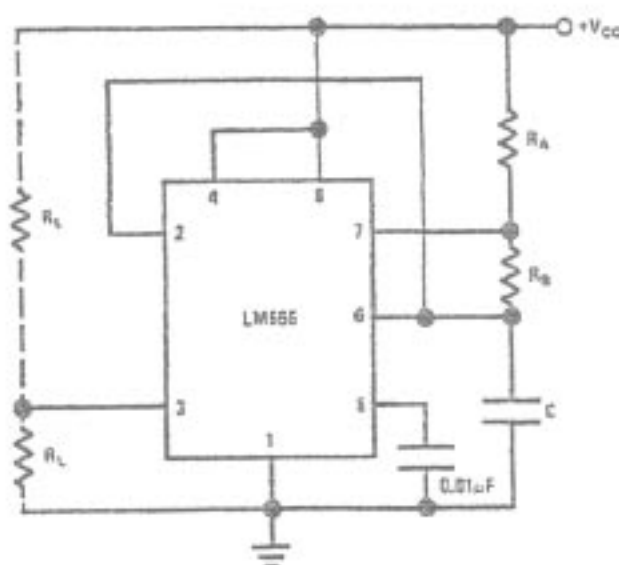
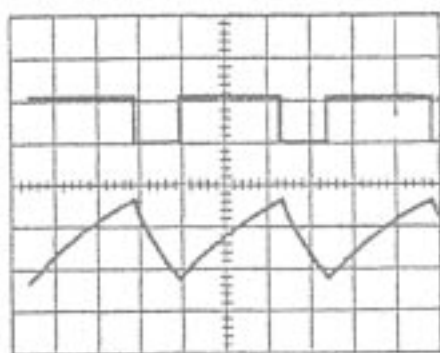


FIGURE 4. Astable

In this mode of operation, the capacitor charges and discharges between $1/3 V_{CC}$ and $2/3 V_{CC}$. As in the triggered mode, the charge and discharge times, and therefore the frequency are independent of the supply voltage.

Figure 5 shows the waveforms generated in this mode of operation.



$V_{CC} = 5V$
TIME = 20 μs /DIV.
 $R_A = 3.9 k\Omega$
 $R_B = 3 k\Omega$
 $C = 0.01 \mu F$

Top Trace: Output 5V/DIV.
Bottom Trace: Capacitor Voltage 1V/DIV.

FIGURE 5. Astable Waveforms

The charge time (output high) is given by:

$$t_1 = 0.693 (R_A + R_B) C$$

And the discharge time (output low) by:

$$t_2 = 0.693 (R_B) C$$

Thus the total period is:

$$T = t_1 + t_2 = 0.693 (R_A + 2R_B) C$$

The frequency of oscillation is:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B) C}$$

Figure 6 may be used for quick determination of these RC values.

The duty cycle is:

$$D = \frac{R_B}{R_A + 2R_B}$$

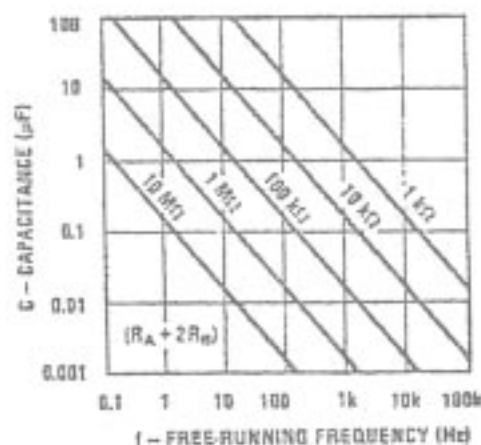


FIGURE 6. Free Running Frequency

אין להעביר את הנוסחאון
לנבחן אחר

נוסחאון באלקטרוניקה ומחשבים

(20 עמודים)

1. נוסחאות באלקטרוניקה תקבילית

חישובי הגבר

הגבר מתח — A_V

מתח מוצא — V_o [V]

מתח מבוא — V_i [V]

$$A_V = \frac{V_o}{V_i}$$

הגבר מתח בדציבלים — A_V [dB]

$$A_V = 20 \log \frac{V_o}{V_i}$$

הגבר זרם — A_I

זרם מוצא — I_o [A]

זרם מבוא — I_i [A]

$$A_I = \frac{I_o}{I_i}$$

הגבר זרם בדציבלים — A_I [dB]

$$A_I = 20 \log \frac{I_o}{I_i}$$

הגבר הספק — A_P

הספק מוצא — P_o [W]

הספק מבוא — P_i [W]

התנגדות נגד העומס — R_L [Ω]

התנגדות מבוא — R_i [Ω]

$$A_P = \frac{P_o}{P_i} = A_V \cdot A_I = A_I^2 \cdot \frac{R_L}{R_i} = A_V^2 \cdot \frac{R_i}{R_L}$$

הגבר הספק בדציבלים — A_P [dB]

$$A_P = 10 \log \frac{P_o}{P_i}$$

הגבר כולל של N דרגות
המחוברות בשרשרת (קסקדה) — A_{VT}

$$A_{VT} = A_{V1} \cdot A_{V2} \cdot A_{V3} \dots A_{VN}$$

$$A_{VT}(\text{dB}) = A_{V1}(\text{dB}) + A_{V2}(\text{dB}) + A_{V3}(\text{dB}) + \dots + A_{VN}(\text{dB})$$

הגבר כולל בדציבלים של
N דרגות המחוברות בשרשרת
(קסקדה) — $A_{VT} [\text{dB}]$

מאזן הספקים

הספק מבוא — $P_I [W]$

$$P_I + P_{CC} = P_L + P_{diss}$$

הספק נצרך מהספקים — $P_{CC} [W]$

הספק העומס — $P_L [W]$

הספק מבזבז — $P_{diss} [W]$

משוב שלילי

הגבר עם משוב (בחוג סגור) — A_f

$$A_f = \frac{A}{1 + \beta A}$$

הגבר ללא משוב (הגבר חוג פתוח) — A

מקדם משוב — β

משוב מתח טורי

התנגדות מבוא עם משוב — $R_{if} [\Omega]$

$$R_{if} = R_i (1 + \beta A)$$

התנגדות מבוא ללא משוב — $R_i [\Omega]$

התנגדות מוצא עם משוב — $R_{of} [\Omega]$

$$R_{of} = \frac{R_o}{1 + \beta A}$$

התנגדות מוצא ללא משוב — $R_o [\Omega]$

טרנזיסטור דו-נושאי (בתחום הפעיל)

בהזנחת זרם הזליגה I_{CBO} :

$$I_C = \beta I_B, \quad I_E = (\beta + 1) I_B, \quad I_E = I_C + I_B$$

זרם הקולט — I_C [A]

זרם הפולט — I_E [A]

זרם הבסיס — I_B [A]

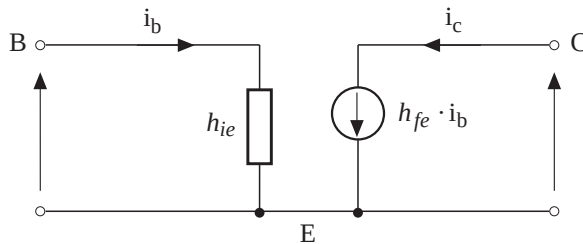
$$\alpha = \frac{I_C}{I_E} = \frac{\beta}{\beta + 1}, \quad \beta = \frac{\alpha}{1 - \alpha}$$

בהתחשב בזרם הזליגה I_{CBO} :

זרם הזליגה בין הקולט לבסיס, I_{CBO} [A] —
כאשר הפולט פתוח

$$I_C = \beta I_B + (\beta + 1) I_{CBO}$$

תרשים תמורה מקורב מסוג h של טרנזיסטור דו-נושאי



	CE	CE עם נגד R_E
A_I	h_{fe}	h_{fe}
R_i	h_{ie}	$h_{ie} + (1 + h_{fe})R_E$
A_V	$-\frac{h_{fe} \cdot R_L}{h_{ie}}$	$-\frac{h_{fe} \cdot R_L}{R_i}$
R_o	∞	∞

טרנזיסטור FET

- I_D [A] — זרם האפיק
 V_{GS} [V] — המתח בין השער למקור
 V_p [V] — מתח צביטה
 I_{DSS} [A] — זרם האפיק עבור $V_{GS} = 0$

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2$$

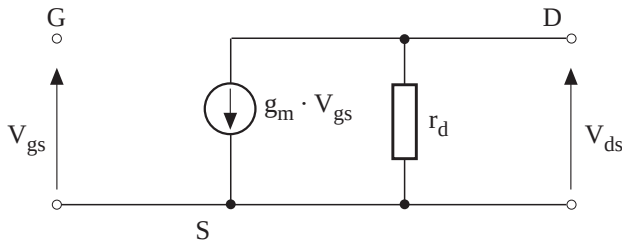
- g_m $\left[\frac{1}{\Omega} \right]$ — מוליכות הדדית

$$g_m = \frac{2I_{DSS}}{|V_p|} \left(1 - \frac{V_{GS}}{V_p} \right)$$

- g_{m0} $\left[\frac{1}{\Omega} \right]$ — מוליכות הדדית עבור $V_{GS} = 0$

$$g_{m0} = \frac{2I_{DSS}}{|V_p|}$$

תרשים תמורה מקורב של טרנזיסטור תוצא שדה – FET



- A_V — הגבר הטרנזיסטור בחיבור CS
 (מקור משותף)

$$A_V = -g_m \cdot (r_d || R_L)$$

- A_V — הגבר הטרנזיסטור בחיבור CD
 (מפך משותף)

$$A_V \approx \frac{g_m \cdot R_s}{1 + (g_m + g_d) R_s}$$

- R_s $[\Omega]$ — נגד בטור למקור

$$g_d = \frac{1}{r_d}$$

דיודה

- I_D [A] — זרם דיודה
 V_D [V] — מתח דיודה
 I_S [A] — זרם רוויה אחורי
 $\eta = \begin{cases} 1 & - G_e \text{ (גרמניום)} \\ 2 & - S_i \text{ (סיליקון)} \end{cases}$ — מקדם
 T [°K] — טמפרטורה

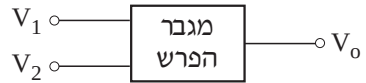
$$I_D = I_S \left(e^{V_D / \eta V_T} - 1 \right)$$

$$V_T = \frac{T}{11,600}$$

מגבר הפרש

- V_d [V] — הפרש מתחי המבוא
 V_c [V] — ממוצע מתחי המבוא
 A_d — הגבר הפרשי
 A_c — הגבר האות המשותף

$$V_o = A_d \cdot V_d + A_c \cdot V_c$$



- כאשר: $V_1 = -V_2 = V_i$

$$A_d = \frac{V_o}{V_d} \Big|_{V_c=0} = \frac{V_o}{2V_i}$$

- כאשר: $V_1 = V_2 = V_i$

$$A_c = \frac{V_o}{V_c} \Big|_{V_d=0} = \frac{V_o}{V_i}$$

- CMRR יחס דחיית האות המשותף

$$CMRR = \left| \frac{A_d}{A_c} \right|$$

מגברי הספק

$$P_L = V_{L \text{ eff}} \cdot I_{L \text{ eff}} = \frac{V_{L \text{ max}} \cdot I_{L \text{ max}}}{2} = \frac{V_{L \text{ eff}}^2}{R_L} = I_{L \text{ eff}}^2 \cdot R_L$$

הספק העומס — P_L [W]

מתח יעיל על העומס — $V_{L \text{ eff}}$ [V]

זרם יעיל בעומס — $I_{L \text{ eff}}$ [A]

מתח עומס שיאי — $V_{L \text{ max}}$ [V]

זרם עומס שיאי — $I_{L \text{ max}}$ [A]

נגד עומס — R_L [Ω]

ההספק הנצרך מהספק — P_{CC} [W]

הזרם הממוצע — I_{av} [A]

מתח המקור — V_{CC} [V]

$$P_{CC} = V_{CC} \cdot I_{av}$$

הזרם הממוצע של גל פועם — I_{av} [A]

זרם שיא — I_{max} [A]

$$I_{av} = \frac{2 \cdot I_{max}}{\pi}$$

הספק מבוזבז בטרנזיסטור — P_D [W]

$$P_D = P_{CC} - P_L$$

נצילות — η

$$\eta = \frac{P_L}{P_{CC}}$$

מתח שיא — V_{max} [V]

נצילות במגבר הספק — η

מסוג CLASS B

$$\eta = \frac{\pi}{4} \cdot \frac{V_{max}}{V_{CC}}$$

הספק פיזור מרבי — $P_{C \text{ max}}$ [W]

בשני הטרנזיסטורים

במגבר מסוג CLASS B

$$P_{C \text{ max}} = \frac{2 \cdot V_{CC}^2}{\pi^2 \cdot R_L}$$

מגברי שרת

סוכם (INTEGRATOR)

$$\Delta V_o = - \frac{I_C \cdot \Delta t}{C}$$

- ΔV_o [V] — השינוי במתח-המוצא
 I_C [A] — הזרם הקבוע בקבל
 Δt [sec] — פרק הזמן שבו חל השינוי במתח-המוצא

מגבר מהפך

$$A_V = - \frac{R_f}{R_1}$$

- R_f [Ω] — נגד המשוב
 R_1 [Ω] — הנגד המחובר לכניסה המהפכת

מגבר עוקב

$$A_V = 1 + \frac{R_f}{R_1}$$

- R_f [Ω] — נגד המשוב
 R_1 [Ω] — הנגד היוצא מהכניסה המהפכת לאדמה

מתנד גשר ויין

$$f_0 = \frac{1}{2\pi R \cdot C}$$

- f_0 [Hz] — תדר התנודות

- A_V — הגבר המתח

$$A_V \geq 3$$

2. נוסחאות באלקטרוניקה ספרתית

$v(t)$ [V]	—	הערך הרגעי של המתח
V_∞ [V]	—	הערך שאליו המתח שואף להגיע כאשר $t \rightarrow \infty$
V_{0+} [V]	—	הערך ההתחלתי של המתח
$i(t)$ [A]	—	הערך הרגעי של הזרם
I_∞ [A]	—	הערך שאליו הזרם שואף להגיע כאשר $t \rightarrow \infty$
I_{0+} [A]	—	הערך ההתחלתי של הזרם

$$v(t) = V_\infty - (V_\infty - V_{0+}) e^{-\frac{t}{\tau}}$$

$$i(t) = I_\infty - (I_\infty - I_{0+}) e^{-\frac{t}{\tau}}$$

τ [sec]	—	קבוע זמן
R [Ω]	—	התנגדות
C [F]	—	קיבול
L [H]	—	השראות עצמית
f_H [Hz]	—	תדר חצי הספק עליון של רשת מעבירת נמוכים
f_L [Hz]	—	תדר חצי הספק תחתון של רשת מעבירת גבוהים
t_r [sec]	—	זמן עלייה של רשת מעבירת נמוכים

$$\tau = RC$$

$$\tau = \frac{L}{R}$$

$$f_H = \frac{1}{2\pi\tau}$$

$$f_L = \frac{1}{2\pi\tau}$$

$$t_r = 2.2\tau$$

3. אוסף פקודות למיקרו-מעבדים 8086/88

מקרא לאוגר הדגלים:

X — מושפע מהפעולה (Modified) 0 — מתאפס

U — לא מוגדר אחרי הפעולה (Undefined) 1 — מקבל '1'

R — מוחזר מהמחסנית (Returned)

ADC	ADC destination, source Add with carry			Flags	O D I T S Z A P C
				X	X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example	
register, register	3(3)	—	2	ADC AX, SI	
register, memory	9(10)+EA	1	2-4	ADC CX, BETA [SI]	
memory, register	16(10)+EA	2	2-4	ADC ALPHA [BX] [SI], DI	
register, immediate	4(4)	—	3-4	ADC BX, 256	
memory, immediate	17(16)+EA	2	3-6	ADC GAMMA, 30H	
accumulator, immediate	4(3-4)	—	2-3	ADC AL, 5	

ADD	ADD destination, source Addition			Flags	O D I T S Z A P C
				X	X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example	
register, register	3(3)	—	2	ADD CX, DX	
register, memory	9(10)+EA	1	2-4	ADD DI, [BX].ALPHA	
memory, register	16(10)+EA	2	2-4	ADD TEMP, CL	
register, immediate	4(4)	—	3-4	ADD CL, 2	
memory, immediate	17(16)+EA	2	3-6	ADD ALPHA, 2	
accumulator, immediate	4(3-4)	—	2-3	ADD AX, 200	

AND	AND destination, source Logical and			Flags	O D I T S Z A P C
				X	X X U X X
Operands	Clocks	Transfers*	Bytes	Coding Example	
register, register	3(3)	—	2	AND AL, BL	
register, memory	9(10)+EA	1	2-4	AND CX, FLAG_WORD	
memory, register	16(10)+EA	2	2-4	AND ASCII [DI], AL	
register, immediate	4(4)	—	3-4	AND CX, 0F0H	
memory, immediate	17(16)+EA	2	3-6	AND BETA, 01H	
accumulator, immediate	4(3-4)	—	2-3	AND AX, 01010000B	

CALL	CALL target Call a procedure			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
near-proc	19(14)	1	3	CALL NEAR__PROC
far-proc	28(23)	2	5	CALL FAR__PROC
memptr 16	21(19)+EA	2	2-4	CALL PROC__TABLE [SI]
regptr 16	16(13)	1	2	CALL AX
memptr 32	37(38)+EA	4	2-4	CALL [BX], TASK [SI]

CLC	CLC (no operands) Clear carry flag			Flags O D I T S Z A P C 0
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	CLC

CLI	CLI (no operands) Clear interrupt flag			Flags O D I T S Z A P C 0
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	CLI

CMP	CMP destination, source Compare destination to source			Flags O D I T S Z A P C X X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	CMP BX, CX
register, memory	9(10)+EA	1	2-4	CMP DH, [ALPHA]
memory, register	9(10)+EA	1	2-4	CMP [BP+2], SI
register, immediate	4(3)+EA	—	3-4	CMP BL, 02H
memory, immediate	10(10)+EA	1	3-6	CMP RADAR [BX], [DI], 3420H
accumulator, immediate	4(3-4)	—	2-3	CMP AL, 00010000B

CMPS	CMPS des-string, source-string Compare string			Flags O D I T S Z A P C X X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
dest-string, source-string (repeat)	22(22)	2	1	CMPS BUSS1, BUFF2
dest-string, source-string	9+22/rep (5+22/rep)	2/rep	1	REPE CMPS ID, KEY

DAA	DAA (no operands) Decimal adjust for addition			Flags O D I T S Z A P C U X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	4(4)	—	1	DAA

DAS	DAS (no operands) Decimal adjust for subtraction			Flags O D I T S Z A P C U X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	4(4)	—	1	DAS

DEC	DEC destination Decrement by 1			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 16	3(3)	—	1	DEC AX
reg 8	3(3)	—	2	DEC AL
memory	15(15)+EA	2	2-4	DEC ARRAY [SI]

DIV	DIV source Division, unsigned			Flags O D I T S Z A P C U U U U U U
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 8	80-90(29)	—	2	DIV CL
reg 16	144-162(38)	—	2	DIV BX
mem 8	86-96+EA (35)	1	2-4	DIV [ALPHA]
mem 16	150-168+ EA(94)	1	2-4	DIV TABLE [SI] / DIV [TABLE + SI]
IN	IN accumulator, port Input byte or word			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
accumulator, immed 8	10(10)	1	2	IN AL, 0FEH / IN AX, OFEH
accumulator, DX	8(8)	1	1	IN AL, DX / IN AX, DX
INC	INC destination Increment by 1			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 16	3(3)	—	1	INC CX
reg 8	3(3)	—	2	INC BL
memory 8	15(15)+EA	2	2-4	INC ALPHA [DI] [BX]
INT	INT interrupt-type Interrupt			Flags O D I T S Z A P C X X
Operands	Clocks	Transfers*	Bytes	Coding Example
immed 8 (type=3)	52(45)	5	1	INT 3
immed 8 (type≠3)	52(47)	5	2	INT 67
IRET	IRET (no operands) Interrupt Return			Flags O D I T S Z A P C R R R R R R R R
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	32(28)	3	1	IRET

JC	JC short-label Jump if carry			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	16 or 4(13 or 4)	—	2	JC CARRY_SET

JE/JZ	JE/JZ short-label Jump if equal/Jump if zero			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	16 or 4(13 or 4)	—	2	JZ ZERO

JMP	JMP target Jump			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	15(13)	—	2	JMP SHORT
near-label	15(13)	—	3	JMP WITHIN_SEGMENT
far-label	15(13)	—	5	JMP FAR_LABEL
memptr 16	18(17)+EA	1	2-4	JMP [BX] TARGET
regptr 16	11(11)	—	2	JMP CX
memptr 32	24(26)+EA	2	2-4	JMP OTHER_SEG

JNC	JNC short-label Jump if not carry			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	16 or 4(13 or 4)	—	2	JNC NOT_CARRY

JNE/JNZ	JNE/JNZ short-label Jump if not equal/Jump if not zero			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short-label	16 or 4(13 or 4)	—	2	JNE NOT_EQUAL

LEA	LEA destination, source Load effective address			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 16, mem 16	2(6)+EA	—	2-4	LEA BX, [BP] [DI]

LOOP	LOOP short-label Decrement cx and jump if not zero			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
short label	17/5(15/5)	—	2	LOOP AGAIN

MOV	MOV destination, source Move			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
memory, accumulator	10(9)	1	3	MOV ARRAY [SI], AL
accumulator, memory	10(8)	1	3	MOV AX, TEMP_RESULT
register, register	2(2)	—	2	MOV AX, CX
register, memory	8(12)+EA	1	2-4	MOV BP, STACK_TOP
memory, register	9(9)+EA	1	2-4	MOV COUNT [DI], CX
register, immediate	4(3-4)	—	2-3	MOV CL, 2
memory, immediate	10(12-13) +EA	1	3-6	MOV MASK [BX] [SI], 2CH
seg-reg, reg 16	2(2)	—	2	MOV ES, CX
seg-reg, mem 16	8(9)+EA	1	2-4	MOV DS, SEGMENT_BASE
reg 16, seg-reg	2(2)	—	2	MOV BP, SS
memory, seg-reg	9(11)+EA	1	2-4	MOV [BX] SEG_SAVE, CS

MOVS/MOVSW	MOVS/MOVSW (no operands) Move string (byte/word)			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	18(9)	2	1	MOVS
(repeat) (no operands)	9+17/rep (8+8/rep)	2/rep	1	REP MOVSW

MUL	MUL source Multiplication, unsigned			Flags O D I T S Z A P C X U U U X
Operands	Clocks	Transfers*	Bytes	Coding Example
reg 8	70-77 (26-28)	—	2	MUL BL
reg 16	118-133 (35-37)	—	2	MUL CX
mem 8	76-83+ EA(32-34)	1	2-4	MUL MONTH [SI]
mem 16	124-139+ EA(41-43)	1	2-4	MUL [BAUD_RATE]

NOP	NOP (no operands) No Operation			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	3(3)	—	1	NOP

NOT	NOT destination Logical not			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
register	3(3)	—	2	NOT AX
memory	16(3)+EA	2	2-4	NOT [CHARACTER]

OR	OR destination, source Logical inclusive or			Flags O D I T S Z A P C X X X U X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	OR AL, BL
register, memory	9(10)+EA	1	2-4	OR DX, PORT_ID [DI]
memory, register	16(10)+EA	2	2-4	OR FLAG_BYTE, CL
accumulator, immediate	4(3-4)	—	2-3	OR AL, 01101100B
register, immediate	4(4)	—	3-4	OR CX, 01H
memory, immediate	17(16)+EA	2	3-6	OR [BX], CMD_WORD

OUT	OUT port, accumulator Output byte or word			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
immed 8, accumulator	10(9)	1	2	OUT 44, AX
DX, accumulator	8(7)	1	1	OUT DX, AL

POP	POP destination Pop word off stack			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
register	8(10)	1	1	POP DX
seg-reg (CS illegal)	8(8)	1	1	POP DS
memory	17(20)+EA	2	2-4	POP [PARAMETER]

PUSH	PUSH source Push word onto stack			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
register	11(10)	1	1	PUSH SI
seg-reg (CS legal)	10(9)	1	1	PUSH ES
memory	16(16)+EA	2	2-4	PUSH RETURN_CODE [SI]

RCL	RCL destination, count Rotate left through carry			Flags O D I T S Z A P C X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, 1	2(2)	—	2	RCL CX, 1
register, CL	8+4/ bit(5+1/bit)	—	2	RCL AL, CL
memory, 1	15(15)+EA	2	2-4	RCL ALPHA, 1
memory, CL	20+4/ bit(17+ 1/bit)+EA	2	2-4	RCL [BP].PARAM, CL

RCR	RCR destination, count Rotate right through carry			Flags O D I T S Z A P C X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, 1	2(2)	—	2	RCR BX, 1
register, CL	8+4/ bit(5+1/bit)	—	2	RCR BL, CL
memory, 1	15(15)+EA	2	2-4	RCR [BX].STATUS, 1
memory, CL	20+4/ bit(17+ 1/bit)+EA	2	2-4	RCR ARRAY [DI], CL

REP	REP (no operands) Repeat string operation			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	REP MOVS DEST, SRCE

RET	RET optional-pop-value Return from procedure			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
(intra-segment, no pop)	16(16)	1	1	RET
(intra-segment, pop)	20(18)	1	3	RET 4
(inter-segment, no pop)	26(22)	2	1	RET
(inter-segment, pop)	25(25)	2	3	RET 2

ROL	ROL destination, count Rotate left			Flags	O	D	I	T	S	Z	A	P	C
					X								X
Operands	Clocks	Transfers*	Bytes	Coding Example									
register, 1	2(2)	—	2	ROL BX, 1									
register, CL	8+4/ bit(5+1/bit)	—	2	ROL DI, CL									
memory, 1	15(15)+EA	2	2-4	ROL FLAG_BYTE [DI], 1									
memory, CL	20+4/ bit(17+ 1/bit)+EA	2	2-4	ROL ALPHA, CL									

ROR	ROR destination, count Rotate right			Flags	O	D	I	T	S	Z	A	P	C
					X								X
Operands	Clocks	Transfers*	Bytes	Coding Example									
register, 1	2(2)	—	2	ROR BX, 1									
register, CL	8+4/ bit(5+1/bit)	—	2	ROR BX, CL									
memory, 1	15(15)+EA	2	2-4	ROR PORT_STATUS, 1									
memory, CL	20+4/ bit(17+ 1/bit)+EA	2	2-4	ROR CMD_WORD, CL									

SBB	SBB destination, source Subtract with borrow			Flags	O	D	I	T	S	Z	A	P	C
					X					X	X	X	X
Operands	Clocks	Transfers*	Bytes	Coding Example									
register, register	3(3)	—	2	SBB BX, CX									
register, memory	9(10)+EA	1	2-4	SBB DI, [BX].PAYMENT									
memory, register	16(10)+EA	2	2-4	SBB BALANCE, AX									
accumulator, immediate	4(3-4)	—	2-3	SBB AX, 2									
register, immediate	4(4)	—	3-4	SBB CL, 1									
memory, immediate	17(16)+EA	2	3-6	SBB COUNT [SI], 10									

STC	STC (no operands) Set carry flag			Flags O D I T S Z A P C 1
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	STC

STI	STI (no operands) Set interrupt enable flag			Flags O D I T S Z A P C 1
Operands	Clocks	Transfers*	Bytes	Coding Example
(no operands)	2(2)	—	1	STI

SUB	SUB destination,source Subtraction			Flags O D I T S Z A P C X X X X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	SUB CX, BX
register, memory	9(10)+EA	1	2-4	SUB DX, MATH_TOTAL [SI]
memory, register	16(10)+EA	2	2-4	SUB [BP+2], CL
accumulator, immediate	4(3-4)	—	2-3	SUB AL, 10
register, immediate	4(4)	—	3-4	SUB SI, 5280

TEST	TEST destination, source Non-destructive logical and			Flags O D I T S Z A P C X X X U X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	TEST SI, DI
register, memory	9(10)+EA	1	2-4	TEST SI, END_COUNT
accumulator, immediate	4(3-4)	—	2-3	TEST AL, 00100000B
register, immediate	5(4)	—	3-4	TEST BX, 0CC4H
memory, immediate	11(10)+EA	—	3-6	TEST [RETURN_COUNT], 01H

XCHG	XCHG destination, source Exchange registers			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
accumulator, reg 16	3(3)	—	1	XCHG AX, BX
memory, register	17(17)+EA	2	2-4	XCHG SEMAPHORE, AX
register, register	4(4)	—	2	XCHG AL, BL

XLAT	XLAT source-table Translate			Flags O D I T S Z A P C
Operands	Clocks	Transfers*	Bytes	Coding Example
source-table	11(11)	1	1	XLAT ASCII_TAB

XOR	XOR destination, source Logical exclusive or			Flags O D I T S Z A P C 0 X X U X X
Operands	Clocks	Transfers*	Bytes	Coding Example
register, register	3(3)	—	2	XOR CX, BX
register, memory	9(10)+EA	1	2-4	XOR CL, MASK_BYTE
memory, register	16(10)+EA	2	2-4	XOR ALPHA [SI], DX
accumulator, immediate	4(3-4)	—	2-3	XOR AL, 01000010B
register, immediate	4(4)	—	3-4	XOR SI, 00C2H
memory, immediate	17(16)+EA	2	3-6	XOR RETURN_CODE, 0D2H